

Patent Abstracts of Japan

PUBLICATION NUMBER : 10335521  
PUBLICATION DATE : 18-12-98

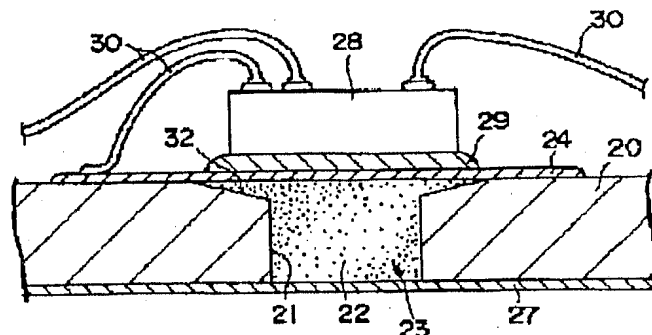
APPLICATION DATE : 28-05-97  
APPLICATION NUMBER : 09138656

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : YOSHIDA KAZUO;

INT.CL. : H01L 23/12 H01L 23/36

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a low-priced semiconductor device having low thermal resistance and a crackless semiconductor chip.

SOLUTION: The heat of a semiconductor chip is dissipated by forming a thermal via part 23 on the part where the semiconductor chip 28 of a ceramic substrate 20 is mounted. At least the upper part of the hole 21 of the thermal via part is formed in such a manner that it becomes shallower as going to outward in radial direction, and the thermal expansion coefficient on the surface in the boundary part between the ceramic substrate and the thermal via part is made almost continuous, or a stress alleviating layer is provided directly under the semiconductor chip.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335521

(43) 公開日 平成10年(1998)12月18日

(51) Int. Cl.<sup>7</sup>

H 0 1 L 23/12  
23/36

識別記号

F I

H 0 1 L 23/12  
23/36

J  
C

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平9-138656

(22) 出願日 平成9年(1997)5月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中山 修

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 影山 茂己

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 久恒 正美

兵庫県川西市久代3丁目13番21号 株式会  
社ケーディーエル内

(74) 代理人 弁理士 青山 葆 (外1名)

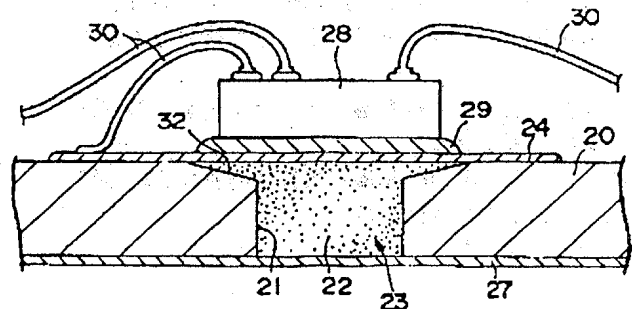
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 熱抵抗が小さく、しかも半導体チップが割れないようにした安価な半導体装置を提供する。

【解決手段】 セラミックス基板(20)の半導体チップ(28)の搭載部位にはサーマルビア部(23)を形成して半導体チップの熱を放熱する。サーマルビア部の穴(21)の少なくとも上部を径方向の外方になるに従って浅くなるような形状となし、セラミックス基板とサーマルビア部との間の境界部位における表面の熱膨張をほぼ連続させるか、又は半導体チップの直下に応力緩和層(33)を設ける。



## 【特許請求の範囲】

【請求項1】 セラミックス基板の少なくとも表面に配線用厚膜回路を形成するとともに、半導体チップを搭載し、該半導体チップと配線用厚膜回路とを結線してなる半導体装置において、

上記セラミックス基板の半導体チップを搭載すべき部位には半導体チップの占有面積の70%以上の大口径穴が形成され、該穴内には高熱伝導性の充填材料が充填されて上記半導体チップの熱を放熱する大口径サーマルビア部が構成され、さらに、上記穴上部は口径外方に広がり、サーマルビア部と基板との境界部位における熱膨張差に基づく応力を分散させる熱応力緩和部を形成してなることを特徴とする半導体装置。

【請求項2】 上記半導体チップが、基板との熱膨張差に関してシリコン半導体より大きい化合物半導体から形成され、上記サーマルビア部はその拡大された口部表面積が上記半導体チップの占有面積を越える請求項1記載の半導体装置。

【請求項3】 セラミックス基板の少なくとも表面に配線用厚膜回路を形成するとともに、半導体チップを搭載し、該半導体チップと配線用厚膜回路とを結線してなる半導体装置において、

上記セラミックス基板の半導体チップを搭載すべき部位には半導体チップの占有面積の70%以上の大口径穴が形成され、該穴内には高熱伝導性の充填材料が充填されて上記半導体チップの熱を放熱する大口径サーマルビア部が構成され、上記セラミックス基板及びサーマルビア部の上には上記半導体チップの占有面積よりも大きな面積を有しかつ上記セラミックス基板とサーマルビア部との間の境界部位における表面の熱膨張差による応力を緩和する応力緩和層が形成されていることを特徴とする半導体装置。

【請求項4】 上記応力緩和層がメタライズ層である請求項3記載の半導体装置。

【請求項5】 上記応力緩和層が複数積層されている請求項4又は5記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に主として携帯電話等の機器に使用される高周波増幅モジュールの構造に関する。

【0002】

【従来の技術】 従来、高周波高出力モジュールでは図6及び図7に示されるように、銅をベースにしたチップキャリア10にFETチップ（半導体チップ）11を実装し、これを厚膜回路基板12にリード13を介して実装し、更に放熱を良くするため、それらを金属製ヒートシンク用フィン14に半田15で接合した構造が一般的に知られている。

ールについても小型化も要求される傾向にある。そこで、ヒートシンク用フィン14を使用しない構造が提案されている。しかし、従来は厚膜回路基板12にアルミナセラミックス基板が使用されているので、熱抵抗が大きく、ヒートシンク用フィン14を用いずにそのまま使用することはできないという問題があった。

【0004】 その対策として、窒化アルミニウム基板等、高熱伝導性セラミックス基板を用いることが提案されるが、高熱伝導性セラミックス基板は割れやすく、又技術的に厚膜回路が形成し難い。

【0005】 また、特開平6-13491号公報では放熱を十分に行うために、ダイパッド面積の5~20%を占める複数の柱状サーマルビアをダイパッドから基板を通して下方ヒートシンクに導く方法が提案されている。さらに、特開平8-97336号公報でも複数のサーマルビアおよび伝熱板を介して上方キャップから放熱する方法が提案されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記セラミックス基板とサーマルビアを形成する充填金属との間には熱膨張係数の差が3倍以上あるため、サーマルビアの熱抵抗特性上、半導体チップを搭載すべき部位の下方のセラミックス基板に貫通を設けてその下方に設けられるヒートシンクに接続するサーマルビアには半導体チップの占有面積の70%以上の大口径穴が必要であることがわかった。そのため、図4及び図5に示されるように、アルミナセラミックス基板20の半導体チップ28直下に金属材料を充填した大口径のサーマルビア部23を設けた構造が提案される。

【0007】 即ち、アルミナセラミックス基板20には角型の穴21が明けられ、その中に銀系や銅系等、高熱伝導性の金属ペースト22が充填され、焼成されてサーマルビア部23が形成されている。また、アルミナセラミックス基板20の表面及び裏面には銀系や銅系等の配線用厚膜金属24、25、26、27が印刷により形成されている。ここで、24はソース電極、25はゲート電極、26はドレイン電極、27は裏面電極で、各々10μm前後の厚さに形成されている。また、アルミナセラミックス基板20のサーマルビア部23の直上にはFETチップ28がAu系半田29でダイボンドされ、金線31でアルミナセラミックス基板20上の配線用厚膜金属24、25、26、27に結線されている。

【0008】 しかし、かかる構造では、サーマルビア部23とアルミナセラミックス基板20との間の境界を越えてFETチップ28が実装されると、サーマルビア部23の充填金属材料22とアルミナセラミックス基板20との間の熱膨張の差に起因してFETチップ28の境界上の部位に大きな応力が作用し、図5に示されるようにクラック31が発生するという問題が新たに発生し

【0009】本発明は、かかる問題点に鑑み、熱抵抗が小さく、しかも半導体チップが割れないようにした安価な半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】そこで、本発明に係る半導体装置は、セラミックス基板の少なくとも表面に配線用厚膜回路を形成するとともに、半導体チップを搭載し、該半導体チップと配線用厚膜回路とを結線してなる半導体装置において、上記セラミックス基板の半導体チップを搭載すべき部位には半導体チップの占有面積の70%以上の大口径穴が形成され、該穴内には高熱伝導性の充填材料が充填されて上記半導体チップの熱を放熱する大口径サーマルビア部が構成され、さらに、上記穴は、上部が口径外方に広がる形状をなす熱応力緩和部を有することを特徴とする。

【0011】本発明の特徴の1つは少なくとも上部が径方向の外方になるに従って浅くなるような形状のサーマルビア部を設けるようにした点にある。これにより、半導体チップの熱を確実に放熱できるとともに、サーマルビア部が径方向外方になるに従って浅くなっているの  
20 で、サーマルビア部表面が境界部位で急激に膨張することはない、周囲のセラミックス基板からほぼ連続した表面膨張となり、半導体チップには大きな応力が作用せず、半導体チップの割れが発生することはない。また、サーマルビア部の穴形状を工夫しただけであるので、コスト高を招来することもない。

【0012】セラミックス基板の材質は特に限定されないが、厚膜回路の形成が容易な材質、例えばアルミナセラミックス等を用いるのがよい。サーマルビア部の穴は底面から径方向の外方になるに従って浅くなるような断面形状としてもよいが、少なくとも上部、即ち穴の深さ方向の途中から径方向の外方になるに従って浅くなるような断面形状とすれば、所望の熱膨張の連続性を確保することができる。その上部の具体的形状はテーパー状又はアー  
30 ル状を採用できるが、熱膨張の連続性を確保できれば他の形状としてもよい。

【0013】サーマルビア部の大きさは熱抵抗特性に密接に関係し、サーマルビア部の穴はの底部面積を半導体チップの占有面積の約70%以上とすることが望ましい。サーマルビア部の穴の形状は特に限定されないが、半導体チップの搭載作業性を考慮すると、一般的な半導体チップの形状に相応する角穴とするのがよい。  
40

【0014】また、サーマルビア部の表面面積は半導体チップへの応力に密接に関係し、表面積が半導体チップに比して小さいと、サーマルビア部表面の熱膨張はセラミックス基板とはほぼ連続しているが、中央に向けて急に増大し、半導体チップへの影響が懸念される。そこで、穴の少なくとも上部が径方向の外方になるに従って浅くなりかつ半導体チップの占有面積を越える表面面積

【0015】また、上記ではサーマルビア部の穴の断面形状を工夫することによって半導体チップへの応力集中に対応しているが、半導体チップの下側に応力緩和層を設け、サーマルビア部とセラミックス基板との間の境界部位における熱膨張差に起因して半導体チップに作用する応力集中を緩和するようにしてもよい。

【0016】即ち、本発明に係る半導体装置は、セラミックス基板の少なくとも表面に配線用厚膜を形成するとともに、半導体チップを搭載し、該半導体チップと配線用厚膜とを結線してなる半導体装置において、上記セラミックス基板の半導体チップを搭載すべき部位には穴が形成され、該穴内には高熱伝導性の充填材料が充填されて上記半導体チップの熱を放熱するサーマルビア部が構成される一方、上記セラミックス基板及びサーマルビア部の上には上記半導体チップの占有面積よりも大きな面積を有しかつ上記セラミックス基板とサーマルビア部との間の境界部位における表面の熱膨張差による応力を緩和する応力緩和層が形成されていることを特徴とする。

【0017】本発明の特徴の1つは半導体チップの下側に応力緩和層を設けて半導体チップに作用する集中応力を緩和するようにした点にある。これにより、サーマルビア部によって半導体チップの熱を確実に放熱できるとともに、サーマルビア部表面が境界部位で急激に膨張してもそれに起因する大きな応力を応力緩和層が緩和するので、半導体チップには大きな応力が作用せず、半導体チップの割れが発生することはない。また、応力緩和層を設けるだけであるので、コスト高を招来することもない。

【0018】応力緩和層の材質はその応力緩和機能を保  
30 保する上で、十分な強度を有するものであればよく、例えばメタライズ層を採用できる。この応力緩和層は1層でもよいが、集中応力を確実に緩和する上で、複数積層してもよい。

【0019】

【発明の実施の形態】以下、本発明を図面に示す具体例に基づいて詳細に説明する。

実施の形態1、図1及び図2は本発明の好ましい実施形態における半導体チップ周辺を示す平面図及び断面図であり、これは放熱フィンを使用しない高周波高出力モジュール(H/Pモジュール)に適用した例である。図において、アルミナセラミックス基板20にはFETチップ(半導体チップ)28の搭載すべき部位にFETチップ28の形状に相応する角型の穴21があけられ、該穴21の上部は径方向の外方になるに従って浅くなるようなテーパー面32に形成されている。

【0020】この穴21の底部面積は熱抵抗特性上、FETチップ28の占有面積の70%以上に、穴21の表面側の面積はFETチップ28の占有面積よりも大きく設定されている。この穴21内には銅箔又は銅箔等の全

焼成され、FETチップ28の熱を放熱するサーマルビア部23が構成されている。

【0021】アルミナセラミックス基板20の表面及び裏面には銀系又は銅系の配線用厚膜金属が印刷され、配線用厚膜回路である厚さ10 $\mu$ m前後のソース電極24、ゲート電極25、ドレイン電極26及び裏面電極27が形成されている。アルミナセラミックス基板20のサーマルビア部23上にはFETチップ28が載置されてAu系半田29でダイボンドされ、FETチップ28とアルミナセラミックス基板20上の各電極24、25、26とが金線30で結線されている。

【0022】FETチップ28が位置ずれし、サーマルビア部23とアルミナセラミックス基板20の境界にダイボンドされた場合、サーマルビア部23の充填金属材料22とアルミナセラミックスの熱膨張係数の差は約3倍あるので、FETチップ23の境界上の部位には引張り応力が加わり、図5のようにクラック31が発生するおそれがある。

【0023】これに対し、本実施の形態ではサーマルビア部23の表面側部分をテーパ面32に形成しているため、サーマルビア部23の表面の膨張は中央側から境界に向かうほど小さく、アルミナセラミックス基板20とはほぼ連続したものとなる。その結果、両者の境界上に発生する応力は小さく、FETチップ28には従来のような大きな集中応力は作用せず、割れが発生することはない。

【0024】アルミナセラミックス基板20の厚さを0.635mm、サーマルビア部23の底部面積を1mm<sup>2</sup>とした場合、テーパ面32の深さを15 $\mu$ m、横方向寸法を15 $\mu$ mとすると、FETチップ23への応力を約20%低減できることが確認された。また、テーパ面32の深さは深い方が効果が大きいことが分かった。

【0025】実施の形態2。図3は本発明の他の実施形態を示す。図において図1及び図2と同一符号は同一又は相当部分を示す。本例ではFETチップ28のダイボンド部29の直下に厚さ約10 $\mu$ mのメタライズ層(応力緩和層)33が更に1層重ねられている。このメタライズ層33は厚膜ペーストをFETチップ28の占有面積よりも大きな面積に印刷することにより形成されている。

【0026】サーマルビア部23にはアルミナセラミックス基板20の境界部位において両者の熱膨張係数の差に起因して急激な表面膨張が発生するが、従来構造に見られる配線用厚膜金属24に加え、さらにメタライズ層33を設けているので、サーマルビア部23の境界部位における大きな応力は配線用厚膜金属24及びメタライ

ズ層33によって緩和され、FETチップ28にはほとんど影響しない。

【0027】本例のH/Pモジュールでは10 $\mu$ mのソース電極24に加え、10 $\mu$ mのメタライズ層33を形成することにより、FETチップ28に発生する最大主応力を約25%減少できることが分かった。

【0028】

【発明の効果】本発明によれば、大口径のサーマルビア部を設け、その口部が拡大されているので、サーマルビア部から基板へと熱膨張率がほぼ連続して変化するの

で、サーマルビア部と基板との熱膨張率差によって生ずる応力集中を分散させ、サーマルビア部に搭載される半導体チップのクラック発生を有効に防止でき、しかも熱を確実に放熱できる結果、モジュールの小型化が容易に実現でき、機器の小型化に対応できる。

【0029】また、サーマルビア部の口部の拡大によりその領域に半導体チップを確実に搭載でき、基板との境界部に半導体チップが搭載されることがなく、クラック発生を確実に防止することができる。

【0030】また、サーマルビア部の穴形状を工夫することに代え、半導体チップの下側に応力緩和層を設けるようにしたので、半導体チップに作用する集中応力を緩和することができる。その結果、いずれの場合にも半導体チップには大きな応力が作用せず、半導体チップに割れが発生するのを防止できる。

【0031】さらに、サーマルビアの形状を工夫するか、応力緩和層を設けるだけであるので、コスト高を招来することもない。

【図面の簡単な説明】

【図1】 本発明に係る半導体装置の好ましい実施形態におけるFETチップ周辺を示す平面図である。

【図2】 図1の要部拡大断面図である。

【図3】 第2の実施形態を示す要部拡大断面図である。

【図4】 発明が解決しようとする課題を説明するための平面図である。

【図5】 図4の断面図である。

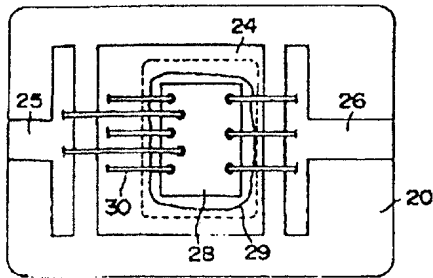
【図6】 従来の高周波高出力モジュールを示す平面図である。

【図7】 図5の断面図である。

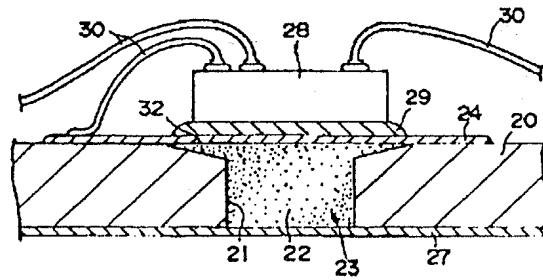
【符号の説明】

20 アルミナセラミックス基板、21 穴、22 充填金属材料(高熱伝導性材料)、23 サーマルビア部、24、25、26、27 配線用厚膜回路、28 FETチップ(半導体チップ)、29 ボンディング部、30 結線、31 クラック、32 テーパー面、33 メタライズ層(応力緩和層)。

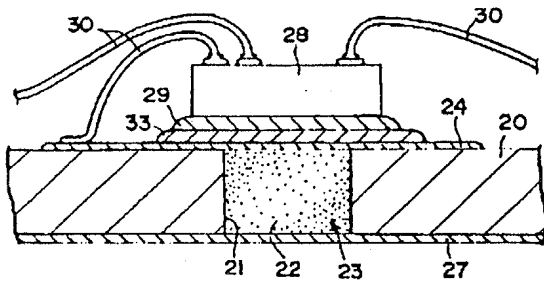
【図1】



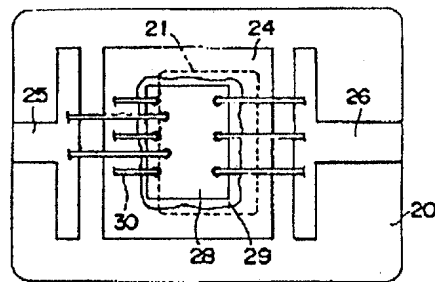
【図2】



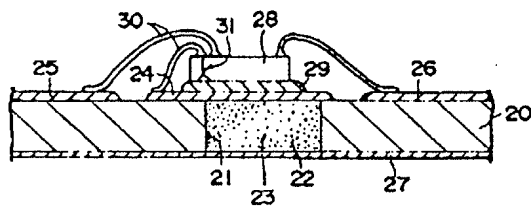
【図3】



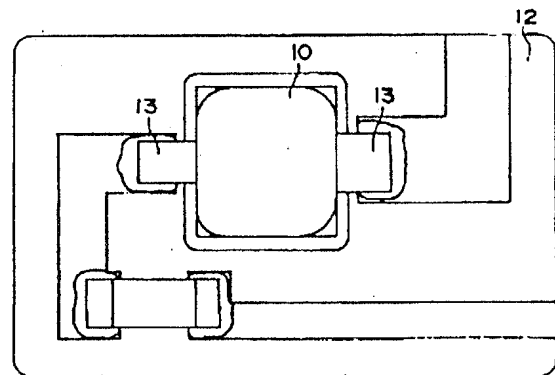
【図4】



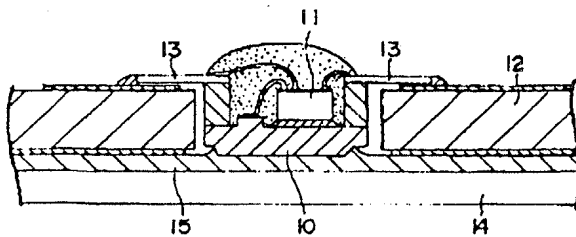
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 吉田 一男  
兵庫県川西市久代3丁目13番21号 株式会  
社ケーディーエル内